

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-329807

(43)Date of publication of application : 22.12.1997

(51)Int.Cl. G02F 1/136  
G02F 1/133  
G09G 3/36

(21)Application number : 08-151338

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 12.06.1996

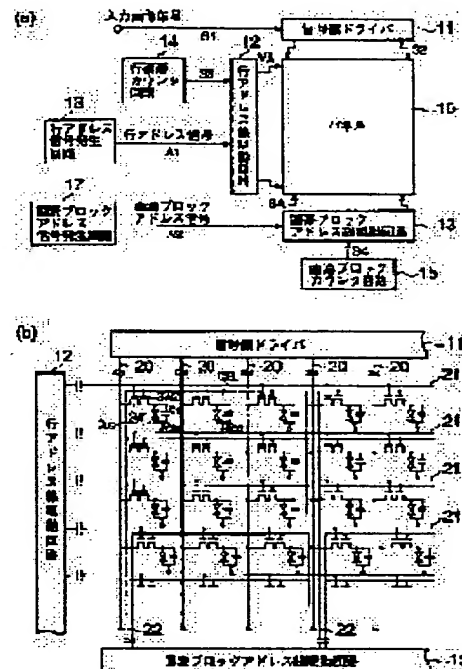
(72)Inventor : OKUMURA HARUHIKO  
ITO TAKESHI  
FUJIWARA HISAO

## (54) LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce power consumption by writing operation for a pixel which does not require write-in by selectively driving each one or every pixel block constituted of plural pixels out of the pixels arranged in a matrix state.

**SOLUTION:** Out of the pixels (liquid crystal cells) arranged in matrix form, an on-voltage is applied to each address line by a row address line driving circuit 12 and a pixel block address line driving circuit 13. In such a case, a picture signal from a pixel signal conductor 20 can be impressed only on the pixel where switching elements SW1 and SW2 are simultaneously turned on. In this device, a pixel block address line 22 is simultaneously applied to the switching element SW2 of every pixel in the pixel block per block unit to make it in an on-state, so that plural pixel blocks are optionally selected and the pixel of the block is controlled to be driven.



## LEGAL STATUS

[Date of request for examination]

02.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

BEST AVAILABLE COPY

Japanese Laid-Open Patent Publication No. 09-329807/1997

(Tokukaihei 09-329807)      (Published on December 22, 1997)

(A) Relevance to claims

The following is a translation of passages related to all the claims of the present invention.

(B) Translation of the relevant passages.

[Abstract]

[Means to Solve the Problems]

... wherein the display device includes:

first switching elements SW1 operating in accordance with signals from signal lines provided for and corresponding to respective pixels;

block selecting means 13 for dividing the pixels into blocks and selecting one of the blocks of pixels;

second switching elements SW2 operating in those pixels belonging to the block selected by the block selecting means so as to obtain pixel information for the pixels in collaboration with the first switching elements for a pixel display.

特關平9-329807

(43)公開日 平成9年(1997)12月22日

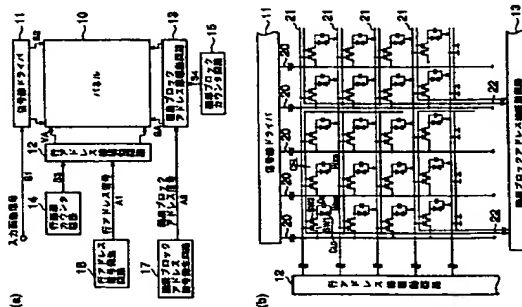
(5)Int.Cl. <sup>4</sup>	識別記号	片内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
G 0 2 F 1/133	5 5 0		1/133	5 5 0
G 0 9 G 3/38			G 0 9 G 3/38	

(21) 出版年月	特平8-151338	(71) 出版人	000003078 株式会社青芝	株
(22) 出版日	平成 8 年 (1996) 6 月 12 日	(72) 発明者	神奈川県川崎市幸区堀川町2番地 奥村 祐彦 株式会社青芝生産技術研究所内	株
		(72) 発明者	伊藤 剛 神奈川県横浜市新磯子町33番地 株式会社青芝生産技術研究所内	株
		(72) 発明者	藤原 久男 神奈川県横浜市新磯子町33番地 株式会社青芝生産技術研究所内	株
		(74) 代理人	伊藤王 幹江 武彦 (外 6 名)	

(54) 【発明の名称】  
核融合変換装置

【要約】

【解決手段】表示領域内において複数の画面素子E<sub>1</sub>を、マトリックス状に配列し、行位置を選択する画面素子E<sub>2</sub>と、列位置を選択する画面素子E<sub>3</sub>とを設けて、画面素子E<sub>1</sub>のマトリックス状の位置により画面素子の選択が行われ、選択された画面素子E<sub>1</sub>の画面情報により画面素子E<sub>2</sub>とE<sub>3</sub>の画面情報にそれぞれ対応する情報から、各画面素子E<sub>1</sub>の動作する第1スイッチング素子S<sub>1</sub>と、各画面素子E<sub>1</sub>の位置で分けられた画面素子E<sub>2</sub>とE<sub>3</sub>のブロック単位で分けられた画面素子E<sub>4</sub>とE<sub>5</sub>のブロック単位で一括して選択するブロック選択手段13と、各画面素子E<sub>1</sub>に設けられ、前記ブロック選択手段13によって選択されたブロック対の画面素子E<sub>4</sub>とE<sub>5</sub>の画面情報に基づいて動作する第2スイッチング素子S<sub>2</sub>とを有し、第2スイッチング素子S<sub>2</sub>によって選択された画面素子E<sub>4</sub>とE<sub>5</sub>の画面情報に基づいて動作する第3スイッチング素子S<sub>3</sub>とを有する。



(3)

オン状態となり、同一行に配置された全ての画素に所望の信号を与えなければならない。

【0007】つまり、前フィールドと次フィールドにおいて同じ画像を表示する場合に、同一の画像信号を信号線に供給しなければならない。ただし、液晶の駆動方法として極性を反転させる必要がある場合、同一画像を表示する場合においても、対向電圧に直し、極性の反転した画像信号を加えることになる。しかし、これにおいても液晶が劣化しない条件内にあれば、駆動周波数をより低減化できる。前記マルチフィールド駆動において、複数のサブフィールドによりフレームを構成しているため、1画素についてみると駆動周波数がサブフィールドの数だけ分周され、低減化していることになる。また、これによって消費電力を大幅に低減している。

【0008】一方、液晶表示装置の表示画面を任意に領域区分して、部分的にウィンドウとし、このウィンドウ内で動画を表示し、ウィンドウ外で静止面を表示するといった表示形態をとる場合、ウィンドウ部分に相当する領域を表示することによって画面が偏っているアドレス線に関しては動画表示を行うために本来は駆動周波数を高くしておく必要がある。

【0009】しかし、従来のマルチフィールド駆動法を用いた場合、動画を表示する画素においては駆動周波数を低くすることから、駆動周波数が低くなったことによる画像現象の発生を避けることができない。

【0010】また、近年においては液晶表示装置は、駆動電圧の低電圧化や駆動周波数の低減により、低消費電力化されているが、さらに、低消費電力化できる構造として、一面素毎にメモリを備えた構造が提案されている（特開昭58-196582号公報または特開平3-77922号公報参照）。この技術を採用することにより、静止面については、一度、表示信号を各画素に伝送してしまえば、その後はその画素のメモリに保持された信号で、その画素を常時表示すれば良い。そのため、消費電力は理論上、極性反転のための消費電力だけになることから、静止面については、消費電力は“0”に限りなく近づいてきている。

【0011】しかし、近年、マルチメディアが進み、動画を表示する必要があるしており、しかも、その動画は画素情報で速く速度で速く変化する画像であることから、画素毎にメモリを持たせていても、そのメモリには高頻度で画素の信号を書き替える必要がある。そして、このように高頻度で画素の書き換えを行うようにしたと、従来と同様に大幅に電力を消費してしまう。

【0012】液晶表示装置の駆動回路構成例を図1に示す。図14の(a)に、液晶表示装置の駆動回路の構成をブロック図で示す。液晶表示装置は、図14(a)に示すように、液晶表示パネル10と、信号線駆動回路11と、ゲート線駆動回路12と、バッファ回路13と、コモン駆動回路14と制御信号発生回路15とを具

備する。

【0013】液晶表示パネル10は、図14の(b)に示すように、複数の微小な液晶素子セルC-Eをマトリックス状に配設したものであり、それぞれ1行単位で行駆動用の行走線La1、La2～Lnmを、そして、列単位で列駆動用の列走線Gb1、Gb2～Lbmを配してあり、各液晶素子セルC-Eはそれぞれ対応の行走線によりスイッチSWが駆動されて、画素信号線からの画素信号が対応の液晶表示セルC-Eに印刷され、画素表示される構成である。

【0014】液晶表示セルC-Eはこの画素信号線から印刷電圧と、コモン電圧（共通電圧）VCOM電圧との電位差分の電圧が加えられることにより、その電位差分に画素強度を変化させる。

【0015】コモン電圧VCOMは共通電位の電圧であり、これはコモン駆動回路14により発生されるようになっている。なお、制御信号発生回路15は表示動作に必要な各種の制御信号を発生して各部に与え、所要の動作を行えるように制御している。また、各液晶表示セルC-Eに対して、それぞれスイッチSWが設けられてあり、このスイッチSWはそれぞれTFT（薄膜トランジスタ）で構成されていて、そのゲート端子は対応する行の行走線La1（～La2～Lnm）に接続され、当該行走線の信号によりオンオフ制御される構成である。また、各スイッチSWはそれぞれ対応の列の画素信号線Gb1（～Gb2～Lbm）と液晶表示セルC-Eとの間にソース・ドレイン間を接続して信号線駆動回路11の出力を液晶表示セルC-Eに与えることができるようにした構成である。

【0016】ゲート線駆動回路12は順次、行走線La1、La2～Lnmに駆動信号を与えて行単位で各液晶表示セルのスイッチSWを構成するTFTのゲートに信号を与え、当該スイッチSWを駆動制御するためのものである。

【0017】このような構成において、ゲート線駆動回路12は垂直方向に配列した全行走線La1、La2～Lnmを走査する時間間隔でゲート線駆動信号をG1、G2、G3、～Gmに順に発生する。

【0018】ゲート線駆動信号G1、G2、G3、～Gmの出力端子は行対応にその該当の行走線La1、La2～Lnmに接続されており、従って、当該ゲート線駆動信号が発生した行走線において、その行に接続されている液晶セルの各スイッチSWがオンオフ制御されることになる。このようにして、ゲート線駆動回路12により、各行走線が順次走査されることになる。

【0019】一方、画素信号がバッファ回路13を介して行線駆動回路11に与えられ、行線駆動回路11では、行走線の走査に対応して、その走査中の行の各画素の状態を画素信号線に印刷するべく、その走査中の行の各画素の表示信号がそれぞれ各画素に対応し出力さ

(4)

れ、この各表示信号が各画素位置に対応に配された画素信号線La1、La2～Lbmに出力される。

【0020】図14(b)に示す加え、液晶パネルにおいては、行走線の信号をONすることによって、その行対応の液晶セルの各SWがONすると共に、信号線駆動回路11からの上述のような制御により、走査中の行の各画素対応の表示信号を与えて、表示画像の内各液晶素子セルC-Eが画素信号線La1、La2～Lbmを介して入力され、コモン駆動回路14から与えられるコモン電圧との電位差分の電圧が、液晶セルC-Eに印刷されて画素表示がなされる。

【0021】ここで、液晶表示装置の駆動回路（モジュール回路）の消費電力が、どのような要因で決まるかを検討する。なお、ここでは直進的に減らるハイパス電流による消費電力については当該モジュール回路の消費電力には含まないものとする。

【0022】液晶表示装置の駆動回路は上述したように、基本的に、信号線駆動回路、バッファ回路、制御信号発生回路、コモン駆動回路、ゲート線駆動回路に分けられる。以下、それぞれについて詳細に述べる。

【0023】(i) 信号線駆動回路  
信号線駆動回路は、信号線を駆動するための駆動ICでデジタル式とアナログ方式に分けられるが、一般にO/A画像がデジタルであることから、整合性の良いディジタル式について消費電力を検討する。

【0024】ディジタル式の駆動ICは基本的に信号のサンプリング時間を決めるフリップフロップ、ディジタル信号をラッチするラッチ回路、このラッチ回路のラッチしたディジタル信号をアナログ信号に変換するD/A変換回路、信号線を駆動する出力バッファからなる。

【0025】ここで、消費電力を決める要因は、ラッチ回路と出力バッファである。この2つのみ考える。ラッチ回路の最大消費電力P<sub>l</sub>は、画像信号に関する入

$$P_{\text{ge}} = (2C_{\text{guc}} + C_{\text{gcp}}) \cdot f_s / 2 \cdot V_{\text{ge}}^2 \quad \dots(4)$$

【iv】コモン駆動回路  
コモン駆動回路は、コモン容量C<sub>c</sub>を駆動するためのもので、コモン駆動回路の最大消費電力P<sub>c</sub>は、コモンの駆動周波数をf<sub>c</sub>、コモン駆動回路の電圧差をV<sub>c</sub>で表すと、以下のようになる。なお、コモン反転の場合、コモンの駆動周波数f<sub>c</sub>は水平駆動周波数f<sub>h</sub>の半分である。

$$P_c = C_c \cdot f_c \cdot V_c^2 \quad \dots(5)$$

【v】ゲート線駆動回路

ゲート線駆動回路は、ゲート線の容量C<sub>g</sub>を駆動するた

$$\begin{aligned} P_{\text{all}} &= P_l + P_{\text{ob}} + P_b + P_{\text{gn}} + P_c + P_g \\ &= (C_l + 2C_{\text{CK}}) \cdot f_s / 2 \cdot V_l^2 - N_h \cdot C_s \cdot f_h \cdot V_s^2 \\ &\quad / 2 + (2C_{\text{bc}} + C_{\text{bp}}) \cdot f_s / 2 \cdot V_b^2 + (2C_{\text{guc}} + C_{\text{gcp}}) \cdot f_s / 2 \\ &\quad \cdot V_{\text{ge}}^2 + C_c \cdot f_c \cdot V_c^2 + C_g \cdot f_h \cdot V_g \end{aligned}$$

【ここで、コモンは一定値でN<sub>h</sub>・C<sub>ss</sub>>C<sub>g</sub>とす

$$P_{\text{all}} = (C_l + 2C_{\text{CK}} + 2C_{\text{bc}} + C_{\text{bp}} + 2C_{\text{guc}} + C_{\text{gcp}}) \cdot f_s / 2$$

力等価容量をC<sub>l</sub>、サンプリングクロックに関する入力等価容量をC<sub>CK</sub>、画像のサンプリング周波数をf<sub>s</sub>、ラッチ回路の電圧差をV<sub>l</sub>でそれぞれ表すと、以下のようになる。

$$P_l = (C_l + 2C_{\text{CK}}) \cdot f_s / 2 \cdot V_l^2 \quad \dots(1)$$

出力バッファの最大消費電力P<sub>ob</sub>は、信号線容量をC<sub>ss</sub>、水平駆動周波数をf<sub>h</sub>、本基の画素数をN<sub>h</sub>、画素線電圧をV<sub>ss</sub>でそれぞれ表すと以下のようになる。

$$P_{\text{ob}} = N_h \cdot C_{\text{ss}} \cdot f_h \cdot V_{\text{ss}}^2 / 2 \quad \dots(2)$$

【ii】バッファ回路

バッファ回路は、入力のディジタル信号を受けてノイズ除去や波形整形をして信号線駆動回路に安定な信号を供給する部分で、省略される場合もあるが、基本的に必要であるので考慮しておく。バッファ回路の最大消費電力P<sub>b</sub>は、クロックf<sub>s</sub>に関する回路の入力等価容量をC<sub>bc</sub>、画像信号に関する回路の入力等価容量をC<sub>bp</sub>、バッファ回路の電圧差をV<sub>b</sub>でそれぞれ表すと、以下のようになる。

$$P_b = (2C_{\text{bc}} + C_{\text{bp}}) \cdot f_s / 2 \cdot V_b^2 \quad \dots(3)$$

【iii】制御信号発生回路

制御信号発生回路は、基本的にゲートアレイ化しており、信号により内部の周波数異なるが、主に画像のサンプリングクロックf<sub>s</sub>に同期する消費電力が重要なアクターと考えられる。ゲートアレイ全体の最大消費電力P<sub>ga</sub>は、クロックf<sub>s</sub>に関する回路の等価内部容量をC<sub>guc</sub>、画像信号に関する回路の入力等価容量をC<sub>gcp</sub>、ゲートアレイの電圧差をV<sub>ge</sub>でそれぞれ表すと、以下のようになる。

$$P_{\text{ga}} = (2C_{\text{guc}} + C_{\text{gcp}}) \cdot f_s / 2 \cdot V_{\text{ge}}^2 \quad \dots(4)$$

【iv】コモン駆動回路  
コモン駆動回路は、コモン容量C<sub>c</sub>を駆動するためのもので、コモン駆動回路の最大消費電力P<sub>c</sub>は、コモンの駆動周波数をf<sub>c</sub>、コモン駆動回路の電圧差をV<sub>c</sub>で表すと、以下のようになる。なお、コモン反転の場合、コモンの駆動周波数f<sub>c</sub>は水平駆動周波数f<sub>h</sub>の半分である。

$$P_c = C_c \cdot f_c \cdot V_c^2 \quad \dots(5)$$

【v】ゲート線駆動回路

ゲート線駆動回路は、ゲート線の容量C<sub>g</sub>を駆動するた

$$P_{\text{all}} = P_l + P_{\text{ob}} + P_b + P_{\text{gn}} + P_c + P_g$$

$$\begin{aligned} &= (C_l + 2C_{\text{CK}}) \cdot f_s / 2 \cdot V_l^2 - N_h \cdot C_s \cdot f_h \cdot V_s^2 \\ &\quad / 2 + (2C_{\text{bc}} + C_{\text{bp}}) \cdot f_s / 2 \cdot V_b^2 + (2C_{\text{guc}} + C_{\text{gcp}}) \cdot f_s / 2 \\ &\quad \cdot V_{\text{ge}}^2 + C_c \cdot f_c \cdot V_c^2 + C_g \cdot f_h \cdot V_g \end{aligned}$$

【ここで、コモンは一定値でN<sub>h</sub>・C<sub>ss</sub>>C<sub>g</sub>とす

$$P_{\text{all}} = (C_l + 2C_{\text{CK}} + 2C_{\text{bc}} + C_{\text{bp}} + 2C_{\text{guc}} + C_{\text{gcp}}) \cdot f_s / 2$$





(9)

れより、行アドレスVAと列アドレスBAの論理値によ  
って、画素のスイッチングが制御される。

【0078】また、本具体例においては縦横3画素ずつ  
の画素ブロックについて述べているが、ブロックの分割  
方法については、各ブロック毎で画素数を同一としても  
同…でなくとも良く、1画素以上のブロック単位で区  
分して定めることができる。さらに、ブロック選択の単位  
としては、動画像の圧縮伝送方式として標準化されたMP  
EG1やMPEG2とのマッピングの良さがあげられ  
る。

【0079】つまり、MPEG技術では、画像を8×8  
や16×16(16×8)等のブロック単位で分割し、  
動きの“ある”、“無し”の判断と圧縮処理について  
は、これら8×8や16×16(16×8)等のブロッ  
ク単位で行われる。従って、画素単位に選択できたとし  
ても伝送されてくる情報はブロック単位となるため、有  
効に情報を利用できない。よって、伝送されるブロック  
の大きさに合わせてブロックで区別することが望ましい。  
また、ブロック毎にアドレス線を配設できるため、縦横  
別でブロック化することによって、パネルのアドレス線  
数を少なくすることもできる。

【0080】これにより、図4に示されるように、行ア  
ドレス線駆動回路中に画素ブロックアドレス線駆動回路  
と同様の構成をもたせることによって、ドライバ数を増  
やさないようにすることができ、

【0081】以上、第1具体例は、マトリクス状に  
配列された複数の画素をブロックに区分して、各ブロッ  
ク毎に駆動制御可能にして画像の書き替えの必要のある  
ブロックについて動作させ、他は動作させないようにす  
る構成としたことにより、低消費電力化を図ることがで  
きるようにしたものである。

【0082】画像信号を記憶する記憶保持手段である容  
量C<sub>1</sub>。を画素毎に配設された液晶表示装置において、書き替  
えの必要のある画素に対してのみ、与えられた画像信号の内  
容に基づき書き換えを行うことによって低消費電力化を  
図る例を次に第2具体例として説明する。

【0083】(第2具体例) 第2具体例は、マトリッ  
クス状に配列された複数の画素は、1画素内に少なくと  
も2つ以上のスイッチング素子と少なくとも1つ以上の  
液晶素子とを有し、前記スイッチング素子を制御するため  
にそれぞれ書き換えが配設されており、走査線より前記の  
スイッチング素子にON電圧が印加され、電流素子に加  
わる電圧降下によって画素電圧を変え、電流素子に  
るようになるものである。

【0084】ここではマトリクス状に配列した画素に  
対して、画素内に液晶素子を有し、信号線と画素電極間  
に配設することによって、信号線と画素間のスイッチン  
グ素子がON状態になった場合においても、信号線電圧  
と画素電極電位の電圧関係によって画素への書き込み動  
作を制御できるようにする。これにより、例えば従来の

ように列方向に配列された画素に対して走査線にON電  
圧が印加され、一括して選択されていた場合において  
も、信号線に加える電圧によって駆動素子により、非  
導通状態になるため、画素電極への信号書き込みが行わ  
れないようにすることができ、このようにすることによ  
って、同じ走査線に配設された画素間においても選択  
的書き込み動作を行わせることができるようにして低消  
費電力化を図る。

【0085】詳細を説明する。第2の具体例は、マトリ  
クス状に配列された複数の画素のうち、個々の画素も  
しくは複数の画素からなる画素ブロック毎にリセット  
パルスを印加後、行方向に配列された画素に対し、任意  
選択駆動を行うものであり、図5に示す如きの構成を採  
用する。

【0086】図5においては本発明の第2具体例に係る  
液晶表示装置の駆動の構成を示してあり、本具体例の液  
晶表示装置は、図示のように、複数の画素をマトリクス  
配列した構成の液晶表示パネル50と、信号線ドライバ  
51と、行アドレス線駆動回路52と、行画素カウング  
回路54と、行アドレス線信号発生回路55と、リセッ  
ト信号線駆動回路53と、リセットカウング回路56  
と、リセット信号発生回路57とを具備する。

【0087】図5(b)には、各画素毎に選択するため  
の液晶パネルのセル構成を示してある。基本的なセル構  
成は、液晶セルC<sub>1</sub>と、補助容量C<sub>2</sub>と、スイッチング素子  
SW1およびSW2と、電流素子C<sub>3</sub>からなる。

【0088】そして、スイッチング素子SW1はそのゲ  
ートを行対比にそれぞれ設けられている行アドレス線58に  
おける自己画素対応の行アドレス線58に接続してお  
ける、また、信号線ドライバ51から列対比にそれぞれ設  
けた画素信号線59における自己画素対応の画素信号線とダ  
イオードD1のノード側との間を、当該スイッチング  
素子SW1のソース・ドレイン間で接続してある。そし  
て、ダイオードD1のカソード側は液晶セルC<sub>1</sub>の駆動電極  
に接続している。

【0089】液晶は駆動電極とこれに反対する対向電極  
との間に液晶材料を挟んだ構成であり、液晶C<sub>1</sub>はも同様  
の構造になっている。従って、対向電極に電圧V<sub>com</sub>  
を印加できるようにすると共に、液晶C<sub>1</sub>の駆動電  
極側と対向電極側との間に補助容量C<sub>2</sub>が介在する構成  
としてある。

【0090】スイッチング素子SW2は列対比にそれぞれ  
設けられている列アドレス線59の自己画素対応のリセ  
ット信号線59にそのゲート側を接続しており、また、  
スイッチング素子SW2のソース・ドレイン間はダイオ  
ードD1のカソード側とリセットパルスを与えらるリ  
セットパルスT<sub>res</sub>素子との間に接続してある。

【0091】この構成により、前記リセット(オン)電圧  
回路53より前記リセット信号線にON(オン)電圧が  
印加されることで、スイッチング素子SW2がON(オ

ン)となった画素について、画素電極電位はV<sub>rs</sub>とな  
る。この場合の画素電極電位V<sub>rs</sub>は、画素電極電位とし  
て与えべき電圧の信号線電圧V<sub>sig</sub>以下となる。

【0092】次に行アドレス線駆動回路52により行ア  
ドレス線が順次によって選択されていくが、ここで画  
素は信号線に加えられる電圧は、書き換えを行う画素(通  
常、リセットパルスを加えた画素)については画像デー  
タに従った画像信号V<sub>sig</sub>が、書き換えを行わない画素  
については、電流素子D1が非導通状態となる電圧V<sub>off</sub>  
が印加される。

【0093】つまり、信号線ドライバ51からは、画素  
信号線に対して書き換え対象画素(通常、リセット  
パルスを加えた画素)については画像データに従った画  
像信号V<sub>sig</sub>が出力され、書き換えを行わない画素につ  
いては、V<sub>off</sub>なるレベルの電圧が出力される。このV<sub>off</sub>  
なるレベルの電圧は電流素子D1が非導通状態とな  
る電圧である。

【0094】ここで各電圧の関係は、例えば  
 $V_{off} \leq V_{rs} \leq V_{ain} \leq V_{sig} \dots (1)$   
である。

【0095】従って、行アドレス線からオン信号が与え  
られたスイッチング素子SW1は、画素信号線から与え  
られる画像データの電圧により、ダイオードD1がオン  
となり、オフ状態となった。書き換えを行う  
画素に対しては、リセット信号線駆動回路53から、リ  
セット信号が与えられることになり、このリセット信号  
が与えられた画素のスイッチング素子SW2は、オン状  
態となりリセットパルスT<sub>res</sub>素子からのリセット電圧  
V<sub>rs</sub>がその画素の補助容量C<sub>2</sub>に与えられ、補助容量C<sub>2</sub>  
はリセット電圧V<sub>rs</sub>になる。

【0096】このような構成をとることによって、オン  
状態になっているスイッチング素子SW1を介してダイ  
オードD1に画像データを与えることで、画像データの  
内容(電圧レベル)とその画素の補助容量C<sub>2</sub>の保持電  
圧に対応してダイオードD1が導通/非導通になる。こ  
れにより、書き込みの必要のある画素についてはダイオード  
D1が導通状態になって画素データがその画素の補助容  
量C<sub>2</sub>に与えられ、ここに保持され、液晶C<sub>1</sub>の画素表  
示に供される。また、書き換えの必要のなかった画素は  
ダイオードD1が非導通であるから補助容量C<sub>2</sub>に電流  
は流れず、その分、低消費電力化が図れる。

【0097】全面書き換えの必要もない場合、  
にリセットパルスを印加する。このリセットパルスが印  
加された画素についてはその補助容量C<sub>2</sub>はリセット電  
圧V<sub>rs</sub>になっているので、新たに書き込みを行う必要が  
でなくなる。これを、オン状態になっているスイッチン  
グ素子SW1を介してダイオードD1に画像データを与え  
ることで、画像データの内容(電圧レベル)に対応して  
ダイオードD1が導通/非導通になることにより、画素  
データ記憶に書き換えができることになる。

(10)

【0098】なお、書き換えを行う画素に対しては別段  
に設けたフレームメモリ等から画像情報を出力するよう  
な構成とすることができ、また、表示画面上で書き換  
えの多い領域を定め、その領域に本具体例を特にいる  
ことが望ましい。

【0099】このように、マトリクス状に配列した画  
素に対して、画素内に電流素子(ダイオード)を有し、  
これを画素信号線と液晶の画素電極間に配設すること  
によって、画素信号線と画素間のスイッチング素子がON  
状態になった場合においても、信号線電位と画素電極電  
位の電圧関係によって画素への書き込み動作を制御で  
きるようにした。これにより、例えば、列方向に配列され  
た画素に対して走査線にON電圧が印加され、それらの  
画素が一括して選択されていた場合においても、画素信  
号線に加える電圧によって駆動素子により、非導通状  
態になるため、画素電極への信号書き込みが行われない  
ようにすることができ、よって同じ走査線に配設され  
た画素間においても選択的書き込み動作を行わせること  
ができる。そして、この場合、書き換えを行う画素につ  
いては前フィールドの画像信号をリセット電位にし、これによっ  
て補助容量の電位をリセット電位にし、これによって  
液晶セルの画素電極と対向電極電位を一致させるように  
した。

【0100】このような構成により、書き換えを最小限  
にして低消費電力化を図ることができるようになる。次  
に、1画素内にスイッチング素子を2つ、電流素子を2  
つ設け、前記スイッチング素子を制御するための走査線  
を、列方向に配列された画素に対し2本配設すると共  
に、前記走査線の選択する位相を異ならせるようにし、  
信号線電位と画素電極電位の電圧関係によって画素への  
書き込みおよび消去動作を制御できるようにした例を次  
に第3の具体例として説明する。

【0101】(第3の具体例) 第3の具体例は、マトリ  
クス状に配列された複数の画素のうち、個々の画素毎  
もしくは複数の画素からなる画素ブロック毎に、リセ  
ットパルスを印加および任意選択駆動を行うものであ  
る。図6(a)は本発明の第3具体例に係る液晶表示装  
置の要部の構成を示すブロック図、図6(b)はその各  
液晶セルのなまかなセル構成を示す図である。本具体例  
の液晶表示装置は、図6に示すように、液晶セルパネ  
ル60と、信号線ドライバ61と、行アドレス線駆動回路  
62と、行画素カウング回路64と、行アドレス線信号  
発生回路65とを具備する。

【0102】図6(b)に、各画素毎に選択するための  
液晶パネルのセル構成を示してあるが、基本的なセル構  
成は、液晶C<sub>1</sub>と、補助容量C<sub>2</sub>と、スイッチング素子  
SW1およびSW2と、電流素子D1およびD2により  
なり、スイッチング素子SW1はそのゲートを行アドレ  
ス線64に接続しており、スイッチング素子SW2はそ

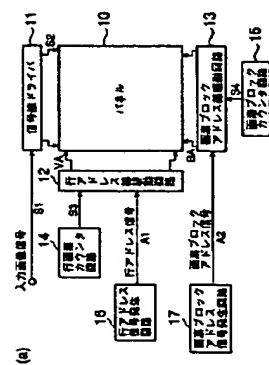




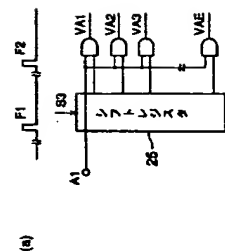




【圖1】

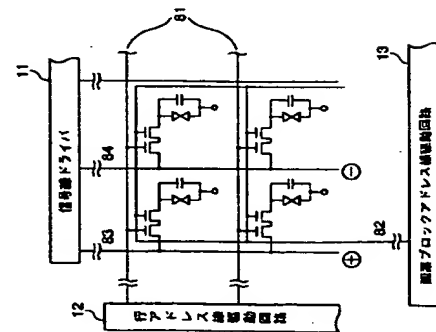


**【图2】**

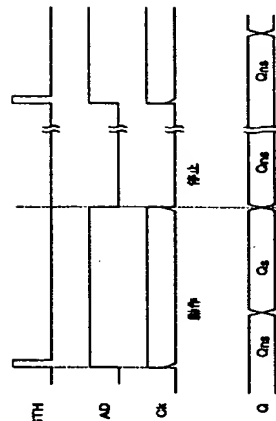


(b)

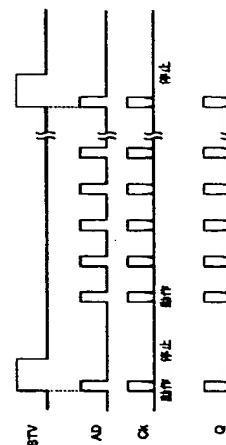
【8】



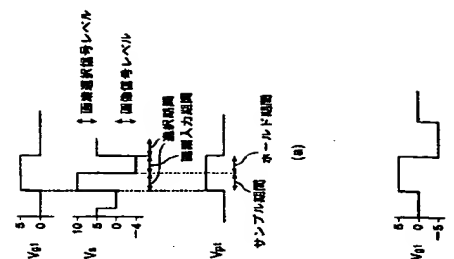
【6】



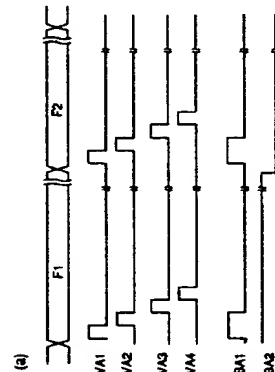
**[ 01 图 ]**



【图 12】



【图 3】



(b)

(16)



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**